

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-068995

(43)Date of publication of application : 16.03.2001

(51)Int.Cl. H03K 19/195  
H01L 39/22

(21)Application number : 11-244154

(71)Applicant : FUJITSU LTD  
INTERNATL SUPERCONDUCTIVITY  
TECHNOLOGY CENTER

(22)Date of filing : 31.08.1999

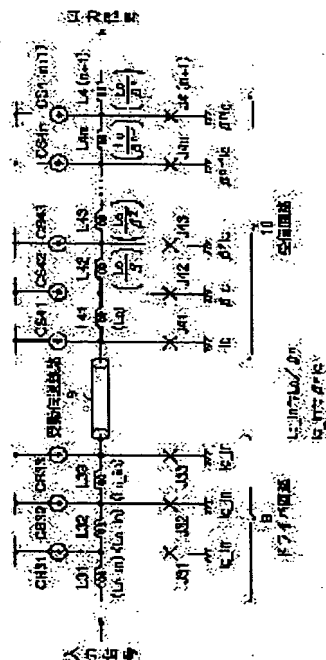
(72)Inventor : SUZUKI HIDEO  
MIYAHARA KAZUNORI  
ENOMOTO YOICHI

## (54) SINGLE MAGNETIC FLUX QUANTUM CIRCUIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the space factor of a passive transmission line and to reduce the chip area by configuring a receiving circuit so that an input impedance can be greatest on the first stage and an equivalent impedance can be reduced toward following stages.

**SOLUTION:** In a receiving circuit 10 composed of a Josephson transmission line in (n+1) stage configuration, when the critical current value of a Josephson junction J41 on the first stage is defined as  $I_c$ , the critical current value of a Josephson junction J42 on the second stage becomes  $\beta I_c$ , the critical current value of a Josephson junction J4k (k is an integer from 1 to n) is  $\beta^{k-1} I_c$  and the critical current value of a Josephson junction in the poststage is set so as to be enlarged by a factor of  $\beta$  for every stage. Thus, the circuit is also functioned as an impedance transformed with which the input impedance is enlarged toward the first stage and the equivalent impedance is reduced toward the poststage, even when the characteristic impedance of a passive transmission line 9 is great, impedance matching with the receiving circuit 10 is attained and a single magnetic flux quantum inputted to a driver circuit 8 can be transmitted to a poststage circuit.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



## 【特許請求の範囲】

## 【請求項1】受動伝送線路と、

ジョセフソン伝送線路からなり、前記受動伝送線路に単一磁束量子を出力するドライバ回路と、  
ジョセフソン伝送線路からなり、前記受動伝送線路を伝送されてくる単一磁束量子を受信する受信回路とを備え、

前記受信回路のジョセフソン接合は、単一磁束量子の伝送が可能な範囲で、後段のジョセフソン接合ほど臨界電流値が大きなジョセフソン接合とされていることを特徴とする単一磁束量子回路。

【請求項2】前記受信回路は、各段におけるジョセフソン接合の臨界電流値とインダクタンスのインダクタンス値との積が単一磁束量子の大きさの0.2~0.99倍の範囲で略一定値となるように構成されていることを特徴とする請求項1記載の単一磁束量子回路。

【請求項3】前記受信回路は、 $k$ 段目（但し、 $k$ は1~ $m$ の整数であり、 $m$ は1以上の任意の整数である。）のジョセフソン接合の臨界電流値を $\alpha_k \times I_c$ 、 $(k+1)$ 段目のジョセフソン接合の臨界電流値を $\alpha_{k+1} \times I_c$ とすると（但し、 $\alpha_1 = 1$ である。）、 $1 < \alpha_{k+1} / \alpha_k \leq 2$ となるように構成されていることを特徴とする請求項1又は2記載の単一磁束量子回路。

【請求項4】前記受信回路の $k$ 段目のインダクタンスのインダクタンス値は、 $L_0 / \alpha_k$ とされていることを特徴とする請求項3記載の単一磁束量子回路。

【請求項5】前記 $\alpha_{k+1} / \alpha_k$ は、略一定値とされていることを特徴とする請求項4記載の単一磁束量子回路。

【請求項6】前記ドライバ回路は、ジョセフソン接合の臨界電流値が略 $\alpha_{n+1} I_c$ 、インダクタンスのインダクタンス値が略 $L_0 / \alpha_n$ となるように構成されていることを特徴とする請求項4又は5記載の単一磁束量子回路。

【請求項7】前記受動伝送線路の特性インピーダンスは、前記受信回路の初段のジョセフソン接合のノーマル抵抗と、これに並列接続されたシャント抵抗との合成並列抵抗値の0.4~0.99倍とされていることを特徴とする請求項1~6のいずれか一項に記載の単一磁束量子回路。

【請求項8】前記受動伝送線路として、それぞれ入力端を前記ドライバ回路の出力端に接続された複数の受動伝送線路を備え、

前記受信回路として、前記複数の受動伝送線路のそれぞれに対応する受信回路を備えていることを特徴とする請求項1~7のいずれか一項に記載の単一磁束量子回路。

【請求項9】前記ドライバ回路と前記受動伝送線路との間に、前記ドライバ回路側が相対的に低インピーダンスで整合し、前記受動伝送線路側が相対的に高インピーダンスで整合するように、一段又は複数段の第1の1/4波長変成器が接続されると共に、

前記受動伝送線路と前記受信回路との間に、前記受動伝送線路側が相対的に高インピーダンスで整合し、前記受信回路側が相対的に低インピーダンスで整合するように、一段又は複数段の第2の1/4波長変成器が接続されていることを特徴とする請求項1~7のいずれか一項に記載の単一磁束量子回路。

【請求項10】前記ドライバ回路と前記受動伝送線路との間に、前記ドライバ回路側が相対的に低インピーダンスで整合し、前記受動伝送線路側が相対的に高インピーダンスで整合するように、一段又は複数段の第1のテーパー型波長変成器が接続されると共に、

前記受動伝送線路と前記受信回路との間に、前記受動伝送線路側が相対的に高インピーダンスで整合し、前記受信回路側が相対的に低インピーダンスで整合するように、一段又は複数段の第2のテーパー型波長変成器が接続されていることを特徴とする請求項1~7のいずれか一項に記載の単一磁束量子回路。

【請求項11】前記ドライバ回路のジョセフソン接合は、単一磁束量子の伝送が可能な範囲で、後段のジョセフソン接合ほど臨界電流値が小さなジョセフソン接合とされていることを特徴とする請求項1~10のいずれか一項に記載の単一磁束量子回路。

【請求項12】前記受動伝送線路は、超電導伝送線路であり、

前記受動伝送線路の出力端と前記受信回路の入力端との間に、前記受動伝送線路を含む超電導ループが形成されることを回避するための素子が直列に接続されていることを特徴とする請求項1~11のいずれか一項に記載の単一磁束量子回路。

【請求項13】前記受動伝送線路を含む超電導ループが形成されることを回避するための素子は、前記受動伝送線路の特性インピーダンスと比べて小さな抵抗値を有する抵抗であることを特徴とする請求項12記載の単一磁束量子回路。

【請求項14】前記受動伝送線路を含む超電導ループが形成されることを回避するための素子は、単一磁束量子を通過させることができるキャパシタンス値を有するキャパシタンスであることを特徴とする請求項12記載の単一磁束量子回路。

【請求項15】前記受動伝送線路は、低抵抗率の常電導体で構成されていることを特徴とする請求項1~11のいずれか一項に記載の単一磁束量子回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、受動伝送線路（Passive Transmission Lines）を備える単一磁束量子（Single Flux Quantum）回路に関する。

【0002】コンピュータや情報通信の分野においては、高速かつ低消費電力のデバイスが要求されている。これに対応して、超電導技術を用いた単一磁束量子回路

の研究が国内外で進められている。

【0003】

【従来の技術】従来、単一磁束量子回路としてRSFQ (Rapid Single Flux Quantum) 回路と呼ばれる論理回路が提案されている ("RSFQ Logic/Memory Family: A New Josephson-Junction Technology for Sub-Terahertz-Clock-Frequency Digital Systems", IEEE TRANSACTIONS ON APPLIED SUPERCONDUCTIVITY, VOL.1, NO.1, MARCH 1991, PP.3-28)。

【0004】図9はRSFQ回路(高速単一磁束量子回路)の原理回路の一つであるジョセフソン伝送線路(Josephson Transmission Lines)の構成を示す回路図であり、図9中、J11~J16はジョセフソン接合、L11~L16はインダクタンス、CS11~CS16は直流電流源である。

【0005】ジョセフソン伝送線路は、ジョセフソン接合とインダクタンスとで梯子形回路を構成すると共に、直流電流源により各セクションに直流電流を供給する構成とし、入力信号を磁束量子を単位として伝送するというものである。

【0006】ここに、ジョセフソン伝送線路は、ジョセフソン接合の臨界電流値 $I_c$ とジョセフソン接合間を接続しているインダクタンス値 $L$ との積の値が磁束量子の大きさである $2.07 \times 10^{-15} \text{ Vs}$ よりも小さくなるようにする必要がある。

【0007】このため、長い伝送線路を必要とする場合に、これをジョセフソン伝送線路で構成する場合には、多数のジョセフソン接合を設けることが必要となるが、この場合には、ジョセフソン接合のスイッチングによる伝搬遅延が大きくなり、信号の高速伝送を図ることができないという問題点があった。

【0008】そこで、また、従来、図10に示すような単一磁束量子回路が提案されている ("TRANSMISSION OF SINGLE-FLUX-QUANTUM PULSES ALONG SUPERCONDUCTING MICROSTRIP LINES", IEEE TRANSACTIONS ON APPLIED SUPERCONDUCTIVITY, VOL.3, NO.1, MARCH 1993, PP.2598-2600)。

【0009】この単一磁束量子回路は、伝送線路として受動伝送線路である超電導マイクロストリップ線路(Superconducting Microstrip Lines)を用いて信号の高速伝送を図るものとするものである。

【0010】図10中、3はジョセフソン伝送線路からなるドライバ回路であり、J21、J22、J23はジョセフソン接合、L21、L22、L23はインダクタンス、R21、R22、R23は直流電流源を構成するための抵抗である。

【0011】また、4は超電導マイクロストリップ線路、5はジョセフソン伝送線路からなる受信回路であり、J24、J25、J26はジョセフソン接合、L24、L25、L26はインダクタンス、R24、R2

5、R26は直流電流源を構成するための抵抗である。

【0012】また、6はドライバ回路3と超電導マイクロストリップ線路4とのインピーダンス整合を補正するためのインピーダンス整合補正回路であり、L27はインダクタンス、C27はキャパシタンスである。

【0013】また、7は超電導マイクロストリップ線路4と受信回路5との間のインピーダンス整合を補正するためのインピーダンス整合補正回路であり、L28はインダクタンス、C28はキャパシタンスである。

【0014】

【発明が解決しようとする課題】図10に示す従来の単一磁束量子回路は、ドライバ回路3及び受信回路5においては、全てのジョセフソン接合J21~J26を同一臨界電流値のジョセフソン接合とすると共に、全てのインダクタンスL21~L26を同一インダクタンス値のインダクタンスとするとしている。

【0015】このため、ドライバ回路3と超電導マイクロストリップ線路4とのインピーダンス整合及び超電導マイクロストリップ線路4と受信回路5とのインピーダンス整合を考えると、ジョセフソン接合J21~J26の臨界電流値を比較的小さく設計しても、超電導マイクロストリップ線路4のインピーダンスは低くなり過ぎてしまう。

【0016】ここに、例えば、超電導回路の作製技術として比較的進んでいるNb接合作製技術を用いた場合を想定して、ジョセフソン接合J21~J26の臨界電流値を0.1mAとした場合には、超電導マイクロストリップ線路4のインピーダンスは1.5~2Ωと小さな値になる。

【0017】これを実現するために、超電導マイクロストリップ線路4のベースとなる絶縁層としてSiO<sub>2</sub>層を使用し、その厚みを300nmとすると、超電導マイクロストリップ線路4の線路幅は40~60μmと幅広となってしまう、SiO<sub>2</sub>層の厚みを700nmとすると、超電導マイクロストリップ線路4の線路幅は80~120μmにもなってしまった。

【0018】また、例えば、ジョセフソン接合J21~J26の臨界電流値を0.25mAとすると、超電導マイクロストリップ線路4の線路幅は、ジョセフソン接合J21~J26の臨界電流値を0.1mAとした場合の2.5倍程度にもなってしまった。

【0019】なお、図10に示す従来の単一磁束量子回路を示す前掲文献には、ジョセフソン接合J21~J26として、臨界電流値が0.125mAのジョセフソン接合を使用すると、超電導マイクロストリップ線路4のインピーダンスは、1.8Ωとなることが報告されている。

【0020】ここに、超電導マイクロストリップ線路4の線路幅を狭めるためには、超電導マイクロストリップ線路4のベースとなる絶縁層を薄くすることが有効であ

るが、絶縁層を薄くすると、絶縁層にピンホールが発生し、歩留りが低下してしまうという問題点がある。

【0021】本発明は、かかる点に鑑み、特性インピーダンスの大きい受動伝送線路を使用することができるようにし、受動伝送線路のベースとなる絶縁層を薄くすることなく、受動伝送線路の線路幅を狭くすることができるようにし、受動伝送線路の占有面積を縮小することによるチップ面積の縮小化によりチップコストの低減化を図ることができると共に、受動伝送線路のベースとなる絶縁層にピンホールが発生しないようにして歩留りの向上を図ることができるようにした単一磁束量子回路を提供することを目的とする。

【0022】

【課題を解決するための手段】本発明の単一磁束量子回路は、受動伝送線路と、ジョセフソン伝送線路からなり、受動伝送線路に単一磁束量子を出力するドライバ回路と、ジョセフソン伝送線路からなり、受動伝送線路を伝送されてくる単一磁束量子を受信する受信回路とを備え、受信回路のジョセフソン接合は、単一磁束量子の伝送が可能な範囲で、後段のジョセフソン接合ほど臨界電流値が大きなジョセフソン接合とされているというものである。

【0023】本発明においては、受信回路のジョセフソン接合は、後段のジョセフソン接合ほど臨界電流値が大きなジョセフソン接合とされているので、受信回路は、初段ほど入力インピーダンスが大きく、後段ほど等価的なインピーダンスが小さくなるというインピーダンス変成器としても機能することになる。

【0024】この結果、受動伝送線路の特性インピーダンスが大きくても、受動伝送線路と受信回路とのインピーダンス整合を図ることができ、ドライバ回路に入力される単一磁束量子を受動伝送線路及び受信回路を介して受信回路の後段回路に伝送することができる。

【0025】このように、本発明によれば、受動伝送線路として、特性インピーダンスが大きな受動伝送線路を使用することができるので、受動伝送線路のベースとなる絶縁層を薄くすることなく、受動伝送線路の線路幅を狭くすることができる。

【0026】

【発明の実施の形態】以下、図1～図8を参照して、本発明の第1実施形態～第6実施形態について説明する。

【0027】第1実施形態・図1、図2

図1は本発明の第1実施形態の要部を示す回路図であり、図1中、8は3段構成のジョセフソン伝送線路からなるドライバ回路であり、J31、J32、J33はジョセフソン接合、L31、L32、L33はインダクタンス、CS31、CS32、CS33は直流電流源である。

【0028】また、9は超電導伝送線路からなる受動伝送線路、10は(n+1)段構成のジョセフソン伝送線

路からなる受信回路であり、J41、J42、J43、J4n、J4(n+1)はジョセフソン接合、L41、L42、L43、L4n、L4(n+1)はインダクタンス、CS41、CS42、CS43、CS4n、CS4(n+1)は直流電流源である。

【0029】なお、ジョセフソン接合J43、J4n間に順に存在するジョセフソン接合J44～J4(n-1)と、インダクタンスL43、L4n間に順に存在するインダクタンスL44～L4(n-1)と、直列電流源CS43、CS4n間に順に存在する直列電流源CS44～CS4(n-1)は、図示を省略している。

【0030】ここに、初段のジョセフソン接合J41の臨界電流値を $I_c$ とすると、2段目のジョセフソン接合J42の臨界電流値は $\beta I_c$ 、3段目のジョセフソン接合J43の臨界電流値は $\beta^2 I_c$ 、n段目のジョセフソン接合J4nの臨界電流値は $\beta^{n-1} I_c$ 、最終段のジョセフソン接合J4(n+1)の臨界電流値は $\beta^n I_c$ となるようにされている。但し、 $\beta$ は、 $1 < \beta \leq 2$ の値である。

【0031】すなわち、受信回路10においては、ジョセフソン接合J4k(但し、kは1～nの整数である。)の臨界電流値は $\beta^{k-1} I_c$ とされ、後段のジョセフソン接合の臨界電流値は $\beta$ 倍ずつ大きくなるように設定されている。

【0032】また、初段のインダクタンスL41のインダクタンス値を $L_0$ とすると、2段目のインダクタンスL42のインダクタンス値は $L_0/\beta$ 、3段目のインダクタンスL43のインダクタンス値は $L_0/\beta^2$ 、n段目のインダクタンスL4nのインダクタンス値は $L_0/\beta^{n-1}$ 、最終段のインダクタンスL4(n+1)のインダクタンス値は $L_0/\beta^n$ となるようにされている。

【0033】すなわち、インダクタンスL4kのインダクタンス値は $L_0/\beta^{k-1}$ とされ、後段のインダクタンスのインダクタンス値は $1/\beta$ 倍ずつ小さくなるように設定され、ジョセフソン接合J4kの臨界電流値 $\beta^{k-1} I_c$ とインダクタンスL4kのインダクタンス値は $L_0/\beta^{k-1}$ との積が一定となるようにしている。この積は、伝搬してきた単一磁束量子が超電導ループ内に留まらないように、単一磁束量子の大きさの0.2～0.99倍の範囲に選ぶことが適切である。

【0034】また、ドライバ回路8においては、ジョセフソン接合J31、J32、J33の臨界電流値は、ジョセフソン接合J31、J32、J33の臨界電流値を $I_{c\_in}$ とすると、例えば、 $I_{c\_in} = \beta^n I_c$ とされ、インダクタンスJ31、L32、J33のインダクタンス値は、インダクタンスL31、L32、L33のインダクタンス値を $L_{0\_in}$ とすると、例えば、 $L_{0\_in} = L_0/\beta^n$ とされる。

【0035】このように、本発明の第1実施形態においては、受信回路10は、k段目のジョセフソン接合の臨

界電流値を $\alpha_k \times I_c$ 、 $(k+1)$ 段目のジョセフソン接合の臨界電流値を $\alpha_{k+1} \times I_c$ とすると(但し、 $\alpha_1 = 1$ である。)、 $1 < \alpha_{k+1} / \alpha_k \leq 2$ となるように構成されると共に、 $k$ 段目のインダクタンスのインダクタンス値は、 $L_0 / \alpha_k$ とされ、かつ、 $\alpha_{k+1} / \alpha_k = \beta$ (一定値)とされているが、 $\alpha_{k+1} / \alpha_k$ は、各段ごとに、 $1 < \alpha_{k+1} / \alpha_k \leq 2$ の範囲にあれば足りる。

【0036】また、受信回路10は、単一磁束量子がトラップされることを避けるために、各段におけるジョセフソン接合の臨界電流値とインダクタンスのインダクタンス値との積が単一磁束量子の大きさの $0.2 \sim 0.99$ 倍の範囲で略一定値となるように構成することが適切である。

【0037】また、受信回路10のジョセフソン接合J41～J4(n+1)としては、RSFQ回路の場合と同様に、 $I-V$ 特性上、ヒステリシスの無いジョセフソン接合を用いるか、又は、SIS(Superconductor-Insulator-Superconductor)のようなヒステリシスを持つジョセフソン接合を用いる場合には、ジョセフソン接合と並列にシャント抵抗を設け、マッカンバー・パラメータが1程度になるように調整し、実質的にヒステリシスが無いようにして用いることになる。

【0038】なお、実質的にヒステリシスが無いようにしたジョセフソン接合を使用する場合には、受動伝送線路9の特性インピーダンスは、受信回路10の初段のジョセフソン接合J41のノーマル抵抗と、これに並列接続されたシャント抵抗との合成並列抵抗値の $0.4 \sim 0.99$ 倍とすることが適切であり、特に、動作マージンを考えると、ほぼ0.5倍が最も適切である。

【0039】以上のように、本発明の第1実施形態においては、受信回路10のジョセフソン接合J41～J(n+1)は、後段のジョセフソン接合ほど臨界電流値が大きなジョセフソン接合とされているので、受信回路10は、初段ほど入力インピーダンスが大きく、後段ほど等価的なインピーダンスが小さくなるというインピーダンス変成器としても機能することになる。

【0040】この結果、受動伝送線路9の特性インピーダンスが大きくても、受動伝送線路9と受信回路10とのインピーダンス整合を図ることができ、ドライバ回路8に入力される単一磁束量子を受動伝送線路9及び受信回路10を介して受信回路10の後段回路に伝送することができる。

【0041】このように、本発明の第1実施形態によれば、受動伝送線路9として、特性インピーダンスが大きな受動伝送線路を使用することができるので、受動伝送線路9のベースとなる絶縁層を薄くすることなく、受動伝送線路9の線路幅を狭くすることができる。

【0042】したがって、受動伝送線路9の占有面積を縮小することによるチップ面積の縮小化により、チップコストの低減化を図ることができると共に、受動伝送線

路のベースとなる絶縁層にピンホールが発生しないようにして歩留りの向上を図ることができる。

【0043】図2は本発明の第1実施形態をシミュレーションするための回路の一例を示す図であり、図2中、11は単一磁束量子発生源であるDC/SFQ回路、12はドライバ回路8に対応するドライバ回路、13は受動伝送線路9に対応する受動伝送線路であり、PTLは長さを $6600 \mu\text{m}$ 、特性インピーダンスを $4 \Omega$ とする受動伝送線路である。

【0044】また、 $R_L$ は $0.2 \Omega$ の終端抵抗、14は受信回路10に対応する受信回路、15は受信回路14が受信した単一磁束量子をモニタするデジタル・モニタ、Cは電流計、Vは電圧計である。

【0045】図2の例では、 $\beta = \sqrt{2}$ とし、受動伝送線路13の特性インピーダンスを $4 \Omega$ (線幅 $20 \mu\text{m}$ に相当)としているが、この場合、動作マージンとして $\pm 20\%$ 以上が得られた。これは、 $I_c = 0.1 \text{mA}$ 、特性インピーダンス $= 2 \Omega$ の場合と同等の値であり、本発明の第1実施形態の有効性を確認することができた。

#### 【0046】第2実施形態・・・図3

図3は本発明の第2実施形態の要部を示す回路図であり、本発明の第2実施形態は、ドライバ回路8の出力端に受動伝送線路9及び受信回路10からなる伝送線路を複数個接続するというものである。

【0047】本発明の第2実施形態によれば、ドライバ回路8に複数の伝送線路を接続している単一磁束量子回路について、本発明の第1実施形態と同様の作用効果を得ることができる。

#### 【0048】第3実施形態・・・図4

図4は本発明の第3実施形態の要部を示す回路図であり、本発明の第3実施形態は、ドライバ回路8と受動伝送線路9との間に $1/4$ 波長変成器( $\lambda/4$ トランスフォーマー)18を接続すると共に、受動伝送線路9と受信回路10との間に $1/4$ 波長変成器19を接続し、その他については、図1に示す本発明の第1実施形態と同様に構成したものである。

【0049】ここに、 $1/4$ 波長変成器18は、ドライバ回路8側が相対的に低インピーダンスで整合し、受動伝送線路9側が相対的に高インピーダンスで整合するように、ドライバ回路8と受動伝送線路9との間に接続されている。

【0050】また、 $1/4$ 波長変成器19は、受動伝送線路9側が相対的に高インピーダンスで整合し、受信回路10側が相対的に低インピーダンスで整合するように、受動伝送線路9と受信回路10との間に接続されている。

【0051】なお、 $1/4$ 波長変成器18、19の長さは、受動伝送線路9上を伝送する単一磁束量子のスペクトルの主たる周波数成分の波長を基準として決定される。また、本発明の第3実施形態においては、 $1/4$ 波

長変成器18、19は、一段構成とされているが、これら1/4波長変成器18、19は、複数段構成としても良い。

【0052】このように、本発明の第3実施形態によれば、受動伝送線路9の両端に1/4波長変成器18、19を設けるとしているため、受動伝送線路9の特性インピーダンスが本発明の第1実施形態の場合よりも大きくても、受動伝送線路9と受信回路10とのインピーダンス整合を図ることができ、ドライバ回路8に入力される単一磁束量子を受動伝送線路9及び受信回路10を介して受信回路10の後段回路に伝送することができる。

【0053】この結果、受動伝送線路9として、本発明の第1実施形態の場合よりも特性インピーダンスが大きな受動伝送線路を使用することができるので、受動伝送線路9のベースとなる絶縁層を薄くすることなく、本発明の第1実施形態の場合よりも受動伝送線路9の線路幅を狭くすることができる。

【0054】したがって、受動伝送線路9の占有面積を縮小することによるチップ面積の縮小化により、チップコストの低減化を図ることができると共に、受動伝送線路9のベースとなる絶縁層にピンホールが発生しないようにして歩留りの向上を図ることができる。

#### 【0055】第4実施形態・・・図5

図5は本発明の第4実施形態の要部を示す回路図であり、本発明の第4実施形態は、ドライバ回路8と受動伝送線路9との間にテーパ型変成器20を接続すると共に、受動伝送線路9と受信回路10との間にテーパ型変成器21を接続し、その他については、図1に示す本発明の第1実施形態と同様に構成したものである。

【0056】ここに、テーパ型変成器20は、ドライバ回路8側が相対的に低インピーダンスで整合し、受動伝送線路9側が相対的に高インピーダンスで整合するように、ドライバ回路8と受動伝送線路9との間に接続されている。

【0057】また、テーパ型変成器21は、受動伝送線路9側が相対的に高インピーダンスで整合し、受信回路10側が相対的に低インピーダンスで整合するように、受動伝送線路9と受信回路10との間に接続されている。

【0058】なお、本発明の第4実施形態においては、テーパ型変成器20、21は、一段構成とされているが、これらテーパ型変成器20、21は、複数段構成としても良い。

【0059】このように、本発明の第4実施形態によれば、受動伝送線路9の両端にテーパ型変成器20、21を設けるとしているため、受動伝送線路9の特性インピーダンスが本発明の第1実施形態の場合よりも大きくても、受動伝送線路9と受信回路10とのインピーダンス整合を図ることができ、ドライバ回路8に入力される単一磁束量子を受動伝送線路9及び受信回路10を介して

受信回路10の後段回路に伝送することができる。

【0060】この結果、受動伝送線路9として、本発明の第1実施形態の場合よりも特性インピーダンスが大きな受動伝送線路を使用することができるので、受動伝送線路9のベースとなる絶縁層を薄くすることなく、本発明の第1実施形態の場合よりも受動伝送線路9の線路幅を狭くすることができる。

【0061】したがって、受動伝送線路9の占有面積を縮小することによるチップ面積の縮小化により、チップコストの低減化を図ることができると共に、受動伝送線路9のベースとなる絶縁層にピンホールが発生しないようにして歩留りの向上を図ることができる。

#### 【0062】第5実施形態・・・図6

図6は本発明の第5実施形態の要部を示す回路図であり、本発明の第5実施形態は、受動伝送線路9の出力端と受信回路10の入力端との間に、受動伝送線路9の特性インピーダンスに比べて抵抗値の小さな抵抗22を直列に接続し、その他については、図1に示す本発明の第1実施形態と同様に構成したものである。

【0063】このように構成された本発明の第5実施形態によれば、本発明の第1実施形態の場合と同様に、受動伝送線路9の占有面積を縮小することによるチップ面積の縮小化により、チップコストの低減化を図ることができると共に、受動伝送線路9のベースとなる絶縁層にピンホールが発生しないようにして歩留りの向上を図ることができ、更に、終端抵抗22によって、ジョセフソン接合J33と受動伝送線路9とジョセフソン接合J41とで超電導ループが形成されないようにし、受動伝送線路9での磁束トラップの発生を避けることができる。

#### 【0064】第6実施形態・・・図7

図7は本発明の第6実施形態の要部を示す回路図であり、本発明の第6実施形態は、受動伝送線路9の出力端と受信回路10の入力端との間に、単一磁束量子を通過させることができるキャパシタンス値を有するキャパシタンス23を直列に接続し、その他については、図1に示す本発明の第1実施形態と同様に構成したものである。

【0065】このように構成された本発明の第6実施形態によれば、本発明の第1実施形態の場合と同様に、受動伝送線路9の占有面積を縮小することによるチップ面積の縮小化により、チップコストの低減化を図ることができると共に、受動伝送線路9のベースとなる絶縁層にピンホールが発生しないようにして歩留りの向上を図ることができ、更に、キャパシタ23によって、ジョセフソン接合J33と受動伝送線路9とジョセフソン接合J41とで超電導ループが形成されないようにし、受動伝送線路9での磁束トラップの発生を避けることができる。

【0066】なお、本発明の第1実施形態～第6実施形態においては、受動伝送線路として超電導伝送線路を設



ける場合について説明したが、本発明は、金（Au）、アルミニウム（Al）、銅（Cu）等の低抵抗率の常電導体からなる受動伝送線を設ける場合についても適用することができる。

【0067】また、本発明の第1実施形態～第6実施形態においては、ドライバ回路8のジョセフソン接合は、例えば、臨界電流値の同一のジョセフソン接合としたが、単一磁束量子の伝送が可能な範囲で、後段のジョセフソン接合ほど臨界電流値が小さなジョセフソン接合となるように構成しても良い。

【0068】図8は本発明の第1実施形態をシミュレーションするための回路の他の例を示す図であり、図8中、16はドライバ回路8に対応するドライバ回路である。このドライバ回路8は、初段のジョセフソン接合の臨界電流値を0.2mA、2段目のジョセフソン接合の臨界電流値を $0.2/\sqrt{2}=0.14\text{mA}$ 、3段目のジョセフソン接合の臨界電流値を $0.2/(\sqrt{2})^2=0.1\text{mA}$ 、4段目のジョセフソン接合の臨界電流値を $0.2/(\sqrt{2})^3=0.07\text{mA}$ 、最終段のジョセフソン接合の臨界電流値を $0.2/(\sqrt{2})^4=0.05\text{mA}$ としたものである。

【0069】

【発明の効果】以上のように、本発明によれば、受信回路のジョセフソン接合は、後段のジョセフソン接合ほど臨界電流値が大きなジョセフソン接合とし、受信回路を、初段ほど入力インピーダンスが大きく、後段ほど等価的なインピーダンスが小さくなるように構成し、受信回路がインピーダンス変成器としても機能するようにしたことにより、特性インピーダンスが大きな受動伝送線路を使用し、受動伝送線路のベースとなる絶縁層を薄くすることなく、受動伝送線路の線路幅を狭くすることが

できるので、受動伝送線路の占有面積を縮小することによるチップ面積の縮小化により、チップコストの低減化を図ることができると共に、受動伝送線路のベースとなる絶縁層にピンホールが発生しないようにして歩留りの向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態の要部を示す回路図である。

【図2】本発明の第1実施形態をシミュレーションするための回路の一例を示す図である。

【図3】本発明の第2実施形態の要部を示す回路図である。

【図4】本発明の第3実施形態の要部を示す回路図である。

【図5】本発明の第4実施形態の要部を示す回路図である。

【図6】本発明の第5実施形態の要部を示す回路図である。

【図7】本発明の第6実施形態の要部を示す回路図である。

【図8】本発明の第1実施形態をシミュレーションするための回路の他の例を示す図である。

【図9】ジョセフソン伝送線路の構成を示す回路図である。

【図10】伝送線路として超電導マイクロストリップ線路を使用した従来の単一磁束量子回路の一例を示す回路図である。

【符号の説明】

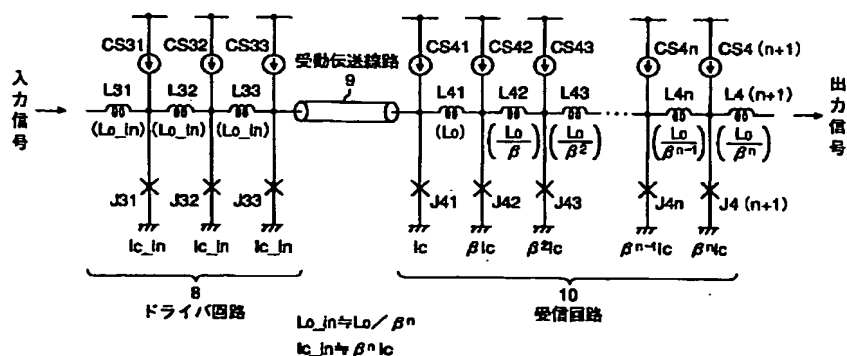
J ジョセフソン接合

L インダクタンス

CS 直流電流源

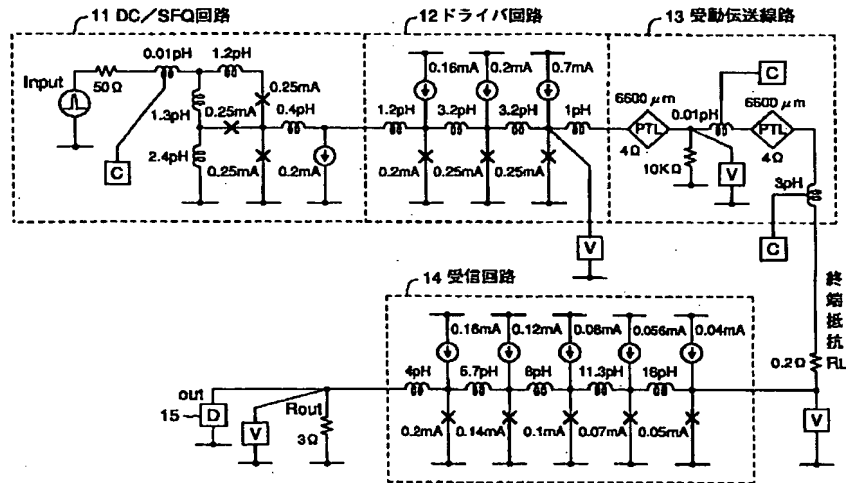
【図1】

本発明の第1実施形態の要部を示す回路図



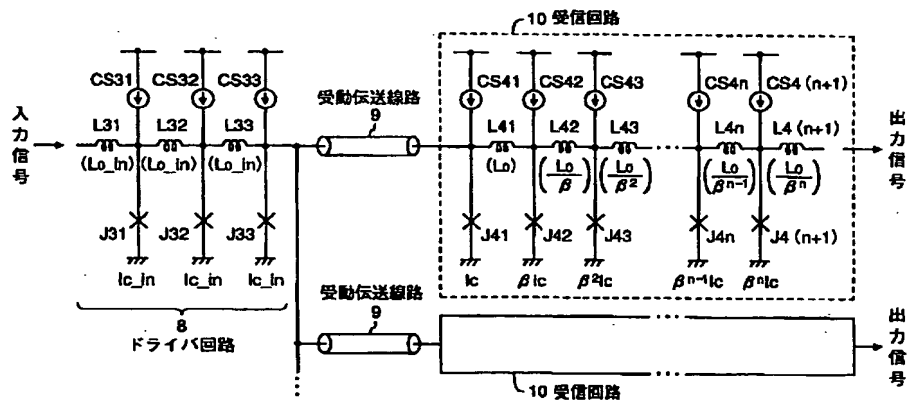
【図2】

本発明の第1実施形態をシミュレーションするための回路の一例を示す図



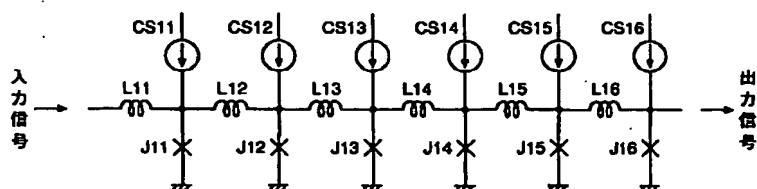
【図3】

本発明の第2実施形態の要部を示す回路図



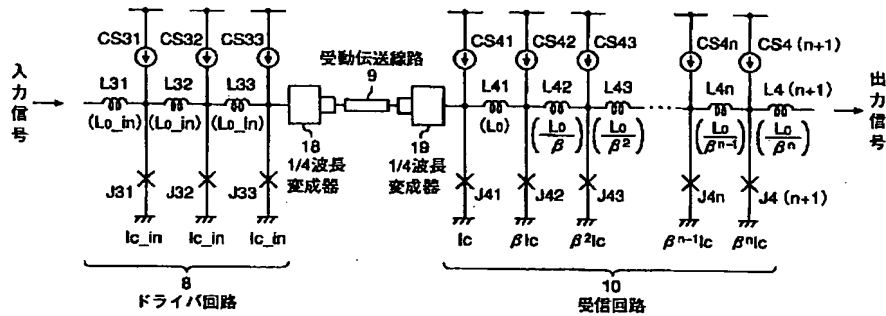
【図9】

ジョセフソン伝送線路の構成を示す回路図



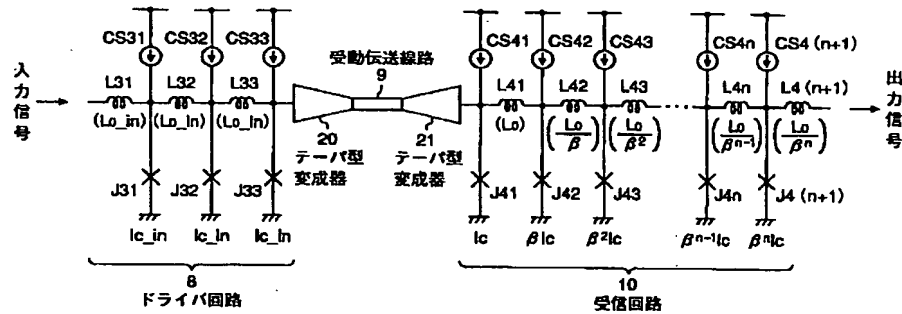
【図4】

本発明の第3実施形態の要部を示す回路図



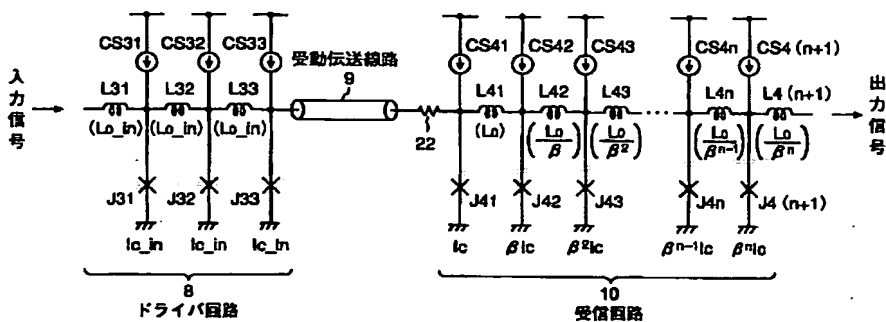
【図5】

本発明の第4実施形態の要部を示す回路図



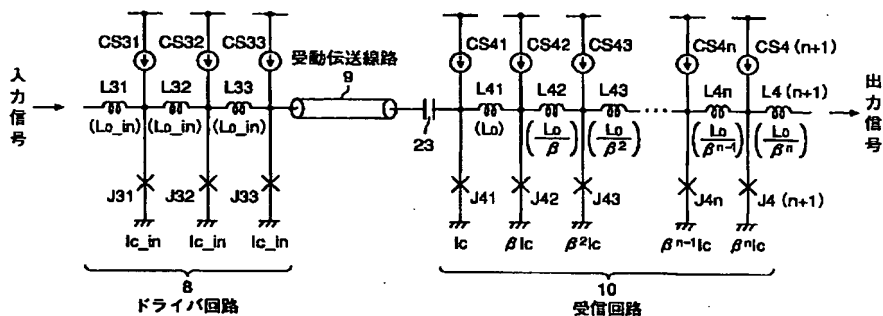
【図6】

本発明の第5実施形態の要部を示す回路図



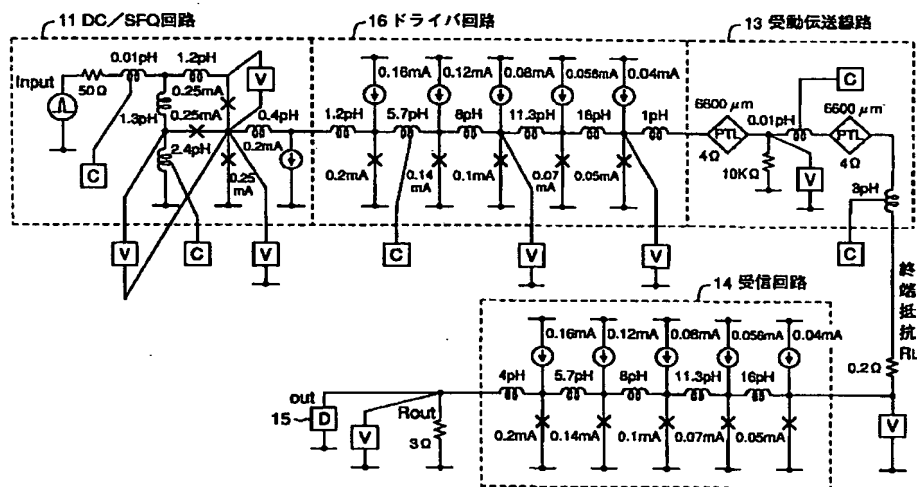
【図7】

本発明の第6実施形態の要部を示す回路図



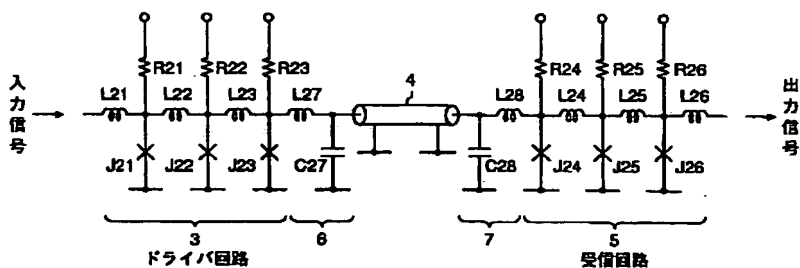
【図8】

本発明の第1実施形態をシミュレーションするための回路の他の例を示す図



【図10】

伝送線路として超電導マイクロストリップ線路を使用した従来の単一磁束量子回路の一例を示す回路図



## フロントページの続き

(72)発明者 鈴木 秀雄  
東京都江東区東雲一丁目14番3号 財団法人  
国際超電導産業技術研究センター超電導  
工学研究所内

(72)発明者 宮原 一紀  
東京都江東区東雲一丁目14番3号 財団法人  
国際超電導産業技術研究センター超電導  
工学研究所内

(72)発明者 榎本 陽一  
東京都江東区東雲一丁目14番3号 財団法人  
国際超電導産業技術研究センター超電導  
工学研究所内

Fターム(参考) 4M113 AA42 AD11 AD21  
5J042 AA04 BA00 CA29 DA01